

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-288455

(43)Date of publication of application : 01.11.1996

(51)Int.CI. H01L 25/065  
H01L 25/07  
H01L 25/18  
H01L 21/60  
H01L 23/52

(21)Application number : 07-085021

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 11.04.1995

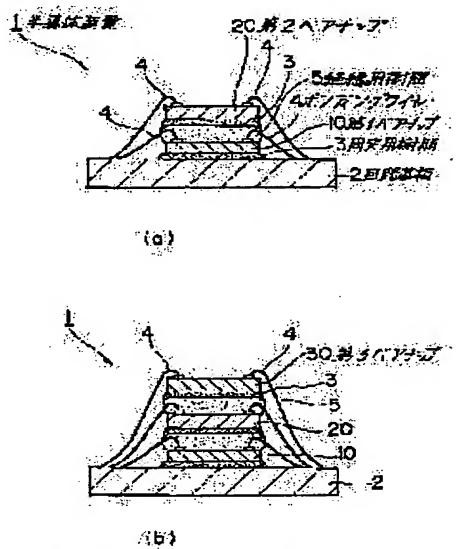
(72)Inventor : SOMAKI MOTOAKI

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

PURPOSE: To provide a semiconductor device which can efficiently radiate heat and is suitable for small-scale many-kind production and a method for manufacturing the device.

CONSTITUTION: After a (first) bare chip 10 is fixed on a circuit board 2 with fixing resin 3 in between, the chip 10 is connected to a circuit on the board 2 through wire bonding and another (second) bare chip 20 is fixed on the chip 10 with an insulating member 5 composed of insulating resin and fixing resin 3 in between. Then the chip 20 is connected to another circuit on the board 2 through wire bonding 4. A semiconductor device 1 is manufactured in such a way.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**CLAIMS**

---

**[Claim(s)]**

**[Claim 1]** The bare chip of 1 with which two or more bare chips are the semiconductor devices which are mounted in three dimensions and change, and are mounted on said circuit board on the circuit board, The bonding wire of 1 which makes electric connection with said bare chip of 1 and circuit on said circuit board, The semiconductor device characterized by having other bonding wires which make electric connection between other bare chips connected through an insulating member on said bare chip of 1, a bare chip besides the above, and the circuit on said circuit board.

**[Claim 2]** after mounting the bare chip of one on the circuit board -- this -- the manufacture approach of the semiconductor device characterized by connecting the bare chip of 1, and the circuit on this circuit board by the bonding wire of 1, and connecting these other bare chips and the circuit on said circuit board by other bonding wires after connecting other bare chips through an insulating member subsequently on said bare chip of 1.

---

**[Translation done.]**

**\* NOTICES \***

**JPO and NCIPI are not responsible for any  
damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

**[Industrial Application]** This invention relates to the semiconductor device which mounts two or more bare chips in three dimensions, and changes on the circuit board, and its manufacture approach.

**[0002]**

**[Description of the Prior Art]** When manufacturing the semiconductor device of a high degree of integration with a small package, multi chip module-ization which mounts two or more bare chips on the circuit board is considered. Among these, as three-dimension mounting structure of mounting two or more bare chips in piles, the tape for TAB (Tape Automated Bonding) is connected to each bare chip, respectively, and the structure of mounting these in piles at the predetermined spacing is considered (for example, Kenzo Hatada work, a guide to TAB technical (Kogyo Chosakai Publishing publication),

p290 reference).

[0003]

[Problem(s) to be Solved by the Invention] However, it is necessary to prepare the tape for TAB of dedication according to the magnitude and wiring spacing of a bare chip, and time and effort and time amount will be dramatically taken in such a semiconductor device. That is, the tape for TAB performs photolithography and etching processing to a predetermined carrier tape, needs to form the lead which is a conductor or needs to form the bump for connection. For this reason, it is unsuitable when producing a wide variety in limited amounts especially by much development front-end cost starting.

[0004] Moreover, the heat dissipation path of two or more bare chips mounted in piles has the bleedoff to surrounding air from a bare chip, and bleedoff to the exterior through the lead for connection of a TAB tape. However, since the thickness of a lead is generally about 35 micrometers, high heat dissipation effectiveness cannot be expected and two or more bare chips are arranged in piles, sufficient heat dissipation to the air around a bare chip is not expectable, either.

[0005]

[Means for Solving the Problem] This inventions are the semiconductor device accomplished in order to solve such a technical problem, and its manufacture approach. That is, this invention is a semiconductor device which two or more bare chips are mounted in three dimensions at a circuit board top, and changes, and is equipped with other bonding wires which make electric connection between the bonding wire of 1 which makes electric connection between the bare chip of 1 mounted on the circuit board, the bare chip of 1, and the circuit on the circuit board, other bare chips connected through an insulating member at the bare chip top of 1, other bare chips, and the circuit on the circuit board.

[0006] Moreover, it is the manufacture approach of the semiconductor device which connects the bare chip of one, and the circuit on the circuit board by the bonding wire of 1 after mounting the bare chip of one on the circuit board, and subsequently connects other bare chips and the circuit on the circuit board by other bonding wires after connecting other bare chips through an insulating member on the bare chip of 1.

[0007]

[Function] In the semiconductor device of this invention, since the bare chip of 1 mounted on the circuit board and other bare chips are connected through the insulating member, the heat from each bare chip will be in the condition of emitting outside through this insulating member. Moreover, by the manufacture approach of the semiconductor device of this invention, since each bare chip and the circuit board are connected by the bonding wire, even if it is the case where magnitude, wiring spacing, etc. of a bare chip are changed, it can respond easily.

[0008]

[Example] Below, the example in the semiconductor device and its manufacture approach of this invention is explained based on drawing. Drawing 1 is type section drawing explaining the semiconductor device of this invention, (a) shows two steps of examples and (b) shows three steps of examples. As for the semiconductor device 1 shown in drawing 1 (a), two bare chips, the 1st bare chip 10 and the 2nd bare chip 20, are mounted in piles on the circuit board 2. Namely, the 1st bare chip 10 by which this semiconductor device 1 is connected through the resin 3 for immobilization on the circuit board 2 in which the predetermined circuit (not shown) was formed, The bonding wire 4 which connects electrically the 1st bare chip 10 and the circuit of the circuit board 2, It has composition equipped with the bonding wire 4 which connects electrically the 2nd bare chip 20 connected through the resin 5 for an insulation and the resin 3 for immobilization which are an insulating member on the 1st bare chip 10, the 2nd bare chip 20, and the circuit of the circuit board 2.

[0009] The circuit board 2 consists of adhesives of the epoxy system which mixed the silver filler etc., in order that it may consist of what put the predetermined conductor on the substrate made from the ceramics and the resin 3 for immobilization may raise thermal conductivity. The loop-formation part of a bonding wire 4 is applied to the resin 5 for an insulation in the state of the wrap on the 1st bare chip 10,

and it has achieved the duty which maintains the electric insulation with a bonding wire 4, the 1st bare chip 10, and the 2nd bare chip 20. The filler (for example, an alumina, aluminium nitride, silicone, a diamond) for maintaining insulation at the resin 5 for an insulation furthermore, and raising thermal conductivity is mixed.

[0010] In this semiconductor device 1, since the resin 5 for an insulation and the resin 3 for immobilization intervene in the condition of carrying out field contact with each bare chip, between the 1st bare chip 10 and the 2nd bare chip 20 which are arranged by lapping, the heat from the 1st bare chip 10 and the 2nd bare chip 20 will be in the condition of emitting to the exterior efficiently through this resin 5 for an insulation, and the resin 3 for immobilization. That is, since the filler for raising thermal conductivity to the resin 5 for an insulation and the resin 3 for immobilization respectively is mixed, compared with the case where between the 1st bare chip 10 and the 2nd bare chip 20 is air, heat dissipation effectiveness will increase far.

[0011] Moreover, the semiconductor device 1 shown in drawing 1 (b) is the structure where the 1st bare chip 10, the 2nd bare chip 20, and the 3rd bare chip 30 are mounted on the circuit board 2. That is, in addition to heavy doubling of the 1st bare chip 10 explained previously and the 2nd bare chip 20, it has structure which connected the 3rd bare chip 30 through the resin 5 for an insulation and the resin 3 for immobilization which are an insulating member on the 2nd bare chip 20. The 3rd bare chip 30 as well as other 1st bare chip 10 and the 2nd bare chip 20 is connected to the circuit and the electric target of the circuit board 2 by the bonding wire 4.

[0012] Moreover, the resin 3 for immobilization and the resin 5 for an insulation between the 3rd bare chip 30 and the 2nd bare chip 20 are also using what mixed the same filler as the point. By this, the heat from the 2nd bare chip 20 and the 3rd bare chip 30 will be in the condition of emitting to the exterior efficiently through the resin 3 for immobilization and the resin 5 for an insulation of a between. Moreover, it becomes possible to attain densification further by mounting a bare chip in three steps. In addition, although the example which puts a bare chip on two steps and three steps in drawing 1 was shown, it is the same even if it is the case where much more bare chips are piled up.

[0013] Thus, since heat dissipation effectiveness can be raised even if it is the semiconductor device 1 which mounts two or more bare chips in piles in three dimensions, even if power consumption uses a large bare chip, in the semiconductor device 1 in this example, neither generating of failure nor compaction of a life can break out easily.

[0014] Next, the manufacture approach of the semiconductor device of this invention is explained in order based on drawing 2 R> 2. The manufacture approach of the semiconductor device 1 which changes a bare chip in piles two steps is roughly divided into three processes, and is explained especially here. First, as the 1st process shown in drawing 2 (a), dispensing spreading of the resin 3 for immobilization of the epoxy system which mixed the silver filler etc. on the circuit board 2 is carried out, and the 1st bare chip 10 is carried on this in the liquefied condition. And heat-treatment of about 1 hour is performed at 150 degrees C, the resin 3 for immobilization is stiffened, and the 1st bare chip 10 is fixed on the circuit board 2. Then, the 1st bare chip 10 and the circuit of the circuit board 2 are connected by the bonding wire 4.

[0015] Subsequently, spreading of the resin 5 for an insulation and the resin 3 for immobilization is performed on the 1st bare chip as the 2nd process shown in drawing 2 (b). The resin 5 for an insulation uses the thing of the epoxy system which mixed the alumina filler for maintaining insulation and raising thermal conductivity etc., as explained previously, and it carries out dispensing spreading of this on the 1st bare chip 10. Under the present circumstances, the loop-formation part of the bonding wire 4 connected to the 1st bare chip 10 is applied to a wrap condition. And heat-treatment of about 1 hour is performed at 150 degrees C, the resin 5 for an insulation is stiffened, and the front face is made common. Moreover, on this resin 5 for an insulation, the resin 3 for immobilization for fixing the 2nd bare chip 20 at the following process is applied.

[0016] Next, processing which connects the 2nd bare chip 20 through the resin 5 for an insulation and

the resin 3 for immobilization which are shown in drawing 2 (c), and which were applied on the 1st bare chip 10 as the 3rd process is performed. That is, the 2nd bare chip 20 is carried on the resin 3 for immobilization applied on it by using as a base the resin 5 for an insulation stiffened at the 2nd process, for example, the resin 3 for immobilization is stiffened by heat-treatment of about 1 hour at 150 degrees C. And the 2nd bare chip 20 fixed by hardening of the resin 3 for immobilization and the circuit of the circuit board 2 are connected by the bonding wire 4. Thereby, manufacture of the semiconductor device 1 of this invention is completed.

[0017] In such a manufacture approach, since electric connection between the 1st bare chip 10 and the 2nd bare chip 20, and the circuit of the circuit board 2 is made by the bonding wire 4, respectively, for example, when using the bare chip (that from which magnitude, wiring spacing, the number of wiring, etc. differ) of other classes, it can respond about electric connection only by program setting-out modification (modification of the set point which specifies the connecting location of a bonding wire 4) with wire-bonding equipment.

[0018] Moreover, when using the bare chip of other classes, it can respond also about connection of the 1st bare chip 10 and the 2nd bare chip 20 only by program setting-out modification of the equipment which applies the resin 5 for an insulation, and the resin 3 for immobilization. Therefore, even if it is the case where the semiconductor device 1 of a different form is manufactured, it can respond immediately, and there is a merit that it is necessary to hardly spend the front-end cost accompanying form modification.

[0019] In addition, although drawing 2 showed the example of the manufacture approach of the semiconductor device 1 which changes two bare chips, the 1st bare chip 10 and the 2nd bare chip 20, in piles, it is the same even if it is the manufacture approach of a semiconductor device of piling up the semiconductor device 1 and the bare chip beyond this which make three steps the 3rd bare chip 30 as shown in drawing 1 (b) in piles. In this case, what is necessary is just to connect other bare chips with having connected the 2nd bare chip 20 through the resin 5 for an insulation, and the resin 3 for immobilization on the 1st bare chip 10 on the 3rd bare chip 30 similarly.

[0020] Drawing 3 is type section drawing explaining other examples of the semiconductor device 1 of this invention. Drawing 3 (a) and (b) show respectively the example of the semiconductor device 1 with which the magnitude of the 1st bare chip 10 and the 2nd bare chip 20 differs. With the semiconductor device 1 shown in drawing 3 (a), the 2nd bare chip 20 smaller than this is connected on the 1st bare chip 10, and the 2nd larger bare chip 20 than this is connected on the 1st bare chip 10 with the semiconductor device 1 shown in drawing 3 (b). Thus, the magnitude of the bare chip to pile up may differ and the semiconductor device 1 which consists of the combination of various bare chips by this can be constituted.

[0021] Moreover, the semiconductor device 1 shown in drawing 3 (c) establishes a hollow in a part for the center section of the resin 5 for an insulation on the 1st bare chip 10, and has composition which embeds the 2nd bare chip 20 into this. In manufacturing this semiconductor device 1, the 1st bare chip is first connected through the resin 3 for immobilization on the circuit board 2, and it gives wiring by the bonding wire 4. Then, although the resin 5 for an insulation is applied on the 1st bare chip 10, a hollow is prepared in the wiring field (refer to S in drawing) of a bonding wire 4 in this case.

[0022] In order to prepare this hollow, after applying the loop-formation part of a bonding wire 4 for the bonding wire 4 connected to the 1st bare chip 10 in the shape of a method dam of a wrap as resin 5 for a wrap insulation using a viscous high thing, the viscous low resin 5 for an insulation is thinly applied to this inside. And the resin 3 for immobilization for fixing so that the 2nd bare chip 20 may be embedded in this hollow is applied as thinly as possible, and the 2nd bare chip 20 is connected through this.

[0023] In such a semiconductor device 1, it enables only the part which established the hollow in the resin 5 for an insulation to make low height h of the semiconductor device 1 whole compared with other examples. That is, it will become effective when attaining thin shape-ization of a semiconductor device 1 to the improvement pan of the densification of a semiconductor device 1, and heat dissipation

effectiveness.

[0024] In addition, in which semiconductor device 1 shown in this example, the resin 5 for an insulation and the resin 3 for immobilization were explained as a different thing, and it is good also considering the resin 3 for immobilization as the same thing as the resin 5 for an insulation. It becomes possible to aim at the cost cut in manufacture of a semiconductor device 1 further by this. Moreover, also in other examples shown in drawing 3, even if it is not only when making a bare chip into two steps, but three steps, or more than it, it is the same.

[0025]

[Effect of the Invention] As explained above, according to the semiconductor device and its manufacture approach of this invention, there is the following effectiveness. That is, even if it is the case of the semiconductor device on which two or more bare chips are put, since the insulating member is minded between each bare chip, it becomes possible to raise the heat dissipation effectiveness of a bare chip. Moreover, since it is wiring using the bonding wire in manufacturing the semiconductor device of this invention, it becomes possible to correspond to limited production with a wide variety immediately.

---

[Translation done.]

\* NOTICES \*

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## DESCRIPTION OF DRAWINGS

---

### [Brief Description of the Drawings]

[Drawing 1] It is type section drawing explaining the semiconductor device of this invention, and (a) is two steps of examples and (b) is three steps of examples.

[Drawing 2] It is type section drawing which explains the manufacture approach of the semiconductor device of this invention in order of each process of (a) – (c).

[Drawing 3] It is type section drawing showing other examples in (a) – (c).

### [Description of Notations]

- 1 Semiconductor Device
- 2 Circuit Board
- 3 Resin for Immobilization
- 4 Bonding Wire
- 5 Resin for Insulation
- 10 1st Bare Chip
- 20 2nd Bare Chip
- 30 3rd Bare Chip

---

[Translation done.]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-288455

(43)公開日 平成8年(1996)11月1日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 25/065  
25/07  
25/18  
21/60  
23/52

識別記号

庁内整理番号

3 0 1

F I.  
H 0 1 L 25/08  
21/60  
23/52

技術表示箇所  
B  
3 0 1 D  
C

審査請求 未請求 請求項の数2 OL (全6頁)

(21)出願番号 特願平7-85021  
(22)出願日 平成7年(1995)4月11日

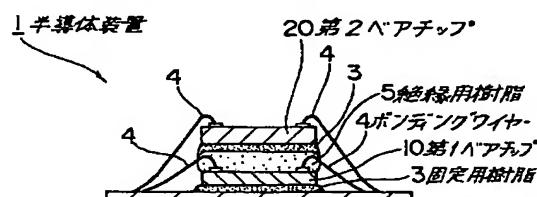
(71)出願人 000000295  
沖電気工業株式会社  
東京都港区虎ノ門1丁目7番12号  
(72)発明者 桜木 基晃  
東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内  
(74)代理人 弁理士 船橋 國則

(54)【発明の名称】 半導体装置およびその製造方法

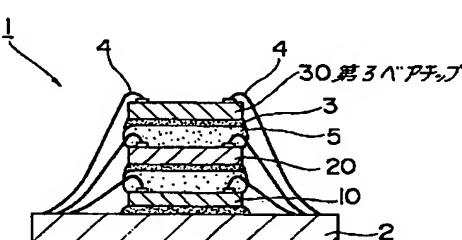
(57)【要約】

【目的】 放熱効率が良く多品種少量生産に適した半導体装置およびその製造方法を提供すること。

【構成】 本発明は回路基板2上に一のペアチップである第1ペアチップ10を固定用樹脂3を介して接続した後、第1ペアチップ10と回路基板2上の回路とをボンディングワイヤー4で接続し、この第1ペアチップ10上に絶縁部材である絶縁用樹脂5および固定用樹脂3を介して他のペアチップである第2ペアチップ20を接続する。その後、第2ペアチップ20と回路基板2上の回路とをボンディングワイヤー4で接続する半導体装置1およびその製造方法である。



(a) 2段の例



(b) 3段の例

本発明を説明する模式断面図

(2)

1

## 【特許請求の範囲】

【請求項1】回路基板上に複数のペアチップが立体的に実装されて成る半導体装置であって、  
前記回路基板上に実装される一のペアチップと、  
前記一のペアチップと前記回路基板上の回路との電気的な接続を行う一のボンディングワイヤーと、  
前記一のペアチップ上に絶縁部材を介して接続される他のペアチップと、  
前記他のペアチップと前記回路基板上の回路との電気的な接続を行う他のボンディングワイヤーとを備えていることを特徴とする半導体装置。

【請求項2】回路基板上に一のペアチップを実装した後、該一のペアチップと該回路基板上の回路とを一のボンディングワイヤーで接続し、  
次いで、前記一のペアチップ上に絶縁部材を介して他のペアチップを接続した後、該他のペアチップと前記回路基板上の回路とを他のボンディングワイヤーで接続することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、回路基板上に複数のペアチップを立体的に実装して成る半導体装置およびその製造方法に関する。

## 【0002】

【従来の技術】小さなパッケージで高集積度の半導体装置を製造する場合、回路基板上に複数のペアチップを実装するマルチチップモジュール化が検討されている。このうち、複数のペアチップを重ねて実装する3次元実装構造としては、各ペアチップにそれぞれTAB (Tape Automated Bonding) 用テープを接続しておき、これらを所定の間隔で重ねて実装する構造が考えられている(例えば、畠田賛造著、TAB技術入門(工業調査会出版)、p290参照)。

## 【0003】

【発明が解決しようとする課題】しかしながら、このような半導体装置ではペアチップの大きさや配線間隔に応じた専用のTAB用テープを用意しておく必要があり非常に手間と時間がかかることになる。つまり、TAB用テープは、所定のキャリアテープにフォトリソグラフィーおよびエッティング処理を施して導体であるリードを形成したり、接続用のパンプを形成したりする必要がある。このため、多くの開発初期費用がかかり特に多品種少量生産を行う場合には不適当である。

【0004】また、重ねて実装した複数のペアチップの放熱経路は、ペアチップから周囲の空気への放出と、TABテープの接続用のリードを介した外部への放出がある。ところが、リードの厚みは一般に35μm程度であるため高い放熱効率は期待できず、また、複数のペアチップが重ねて配置されていることからペアチップの周囲の空気への十分な熱放出も期待できない。

2

## 【0005】

【課題を解決するための手段】本発明は、このような課題を解決するために成された半導体装置およびその製造方法である。すなわち、本発明は回路基板上に複数のペアチップが立体的に実装されて成る半導体装置であって、回路基板上に実装される一のペアチップと、一のペアチップと回路基板上の回路との電気的な接続を行う一のボンディングワイヤーと、一のペアチップ上に絶縁部材を介して接続される他のペアチップと、他のペアチップと回路基板上の回路との電気的な接続を行う他のボンディングワイヤーとを備えている。

【0006】また、回路基板上に一のペアチップを実装した後、一のペアチップと回路基板上の回路とを一のボンディングワイヤーで接続し、次いで、一のペアチップ上に絶縁部材を介して他のペアチップを接続した後、他のペアチップと回路基板上の回路とを他のボンディングワイヤーで接続する半導体装置の製造方法である。

## 【0007】

【作用】本発明の半導体装置では、回路基板上に実装される一のペアチップと他のペアチップとが絶縁部材を介して接続されているため、各ペアチップからの熱がこの絶縁部材を介して外部に放出する状態となる。また、本発明の半導体装置の製造方法では、各ペアチップと回路基板とをボンディングワイヤーによって接続していることから、ペアチップの大きさや配線間隔等が変更となつた場合であっても容易に対応できることになる。

## 【0008】

【実施例】以下に、本発明の半導体装置およびその製造方法における実施例を図に基づいて説明する。図1は本発明の半導体装置を説明する模式断面図であり、(a)は2段の例、(b)は3段の例を示している。図1

(a)に示す半導体装置1は、回路基板2上に第1ペアチップ10および第2ペアチップ20の2つのペアチップが重ねて実装されたものである。すなわち、この半導体装置1は、所定の回路(図示せず)が形成された回路基板2上に固定用樹脂3を介して接続される第1ペアチップ10と、第1ペアチップ10と回路基板2の回路とを電気的に接続するボンディングワイヤー4と、第1ペアチップ10上に絶縁部材である絶縁用樹脂5および固定用樹脂3を介して接続される第2ペアチップ20と、第2ペアチップ20と回路基板2の回路とを電気的に接続するボンディングワイヤー4とを備える構成となっている。

【0009】回路基板2は例えばセラミックス製の基板に所定の導体を被覆したものから成り、また、固定用樹脂3は熱伝導性を高めるため銀フィラー等を混入したエポキシ系の接着剤から構成されている。絶縁用樹脂5は、第1ペアチップ10上においてボンディングワイヤー4のループ部分を覆う状態で塗布されており、ボンディングワイヤー4や第1ペアチップ10と第2ペアチップ20

(3)

3

プ20との電気的な絶縁を保つ役目を果たしている。さらに絶縁用樹脂5には絶縁性を保ちかつ熱伝導性を高めるためのフィラー（例えば、アルミナ、窒化アルミニウム、シリコーン、ダイアモンド）を混入してある。

【0010】この半導体装置1では、重なって配置される第1ペアチップ10と第2ペアチップ20との間に絶縁用樹脂5および固定用樹脂3が各々のペアチップと面接触する状態で介在しているため、第1ペアチップ10および第2ペアチップ20からの熱がこの絶縁用樹脂5および固定用樹脂3を介して効率良く外部へ放出する状態となる。つまり、絶縁用樹脂5および固定用樹脂3には各々熱伝導性を高めるためのフィラーを混入しているため、第1ペアチップ10と第2ペアチップ20との間が空気である場合に比べてはるかに放熱効率が高まることになる。

【0011】また、図1(b)に示す半導体装置1は、回路基板2上に第1ペアチップ10、第2ペアチップ20および第3ペアチップ30が実装される構造である。つまり、先に説明した第1ペアチップ10および第2ペアチップ20の重合わせに加え、第2ペアチップ20上に絶縁部材である絶縁用樹脂5および固定用樹脂3を介して第3ペアチップ30を接続した構造となっている。第3ペアチップ30も他の第1ペアチップ10および第2ペアチップ20と同様にポンディングワイヤー4によって回路基板2の回路と電気的に接続されている。

【0012】また、第3ペアチップ30と第2ペアチップ20との間の固定用樹脂3および絶縁用樹脂5も先と同様なフィラーを混入したものを使用している。これによって、第2ペアチップ20および第3ペアチップ30からの熱は間の固定用樹脂3および絶縁用樹脂5を介して効率良く外部へ放出する状態となる。また、ペアチップを3段に実装することでさらに高密度化を図ることが可能となる。なお、図1においてはペアチップを2段および3段に重ねる例を示したが、さらに多くのペアチップを重ねる場合であっても同様である。

【0013】このように複数のペアチップを立体的に重ねて実装する半導体装置1であっても放熱効率を向上させることができることから、本実施例における半導体装置1では、消費電力が大きいペアチップを使用しても故障の発生や寿命の短縮が起きにくくなることになる。

【0014】次に、本発明の半導体装置の製造方法を図2に基づいて順に説明する。ここでは、特にペアチップを2段重ねて成る半導体装置1の製造方法を大きく3つの工程に分けて説明する。先ず、図2(a)に示す第1工程として、回路基板2上に銀フィラー等を混入したエポキシ系の固定用樹脂3をディスペンス塗布し、液状の状態でこの上に第1ペアチップ10を搭載する。そして、150℃で1時間程度の加熱処理を行い固定用樹脂3を硬化させ第1ペアチップ10を回路基板2上に固定する。その後、第1ペアチップ10と回路基板2の回路

40 50

とをポンディングワイヤー4によって接続する。

【0015】次いで、図2(b)に示す第2工程として、第1ペアチップ上に絶縁用樹脂5および固定用樹脂3の塗布を行う。絶縁用樹脂5は先に説明したように絶縁性を保ちかつ熱伝導性を高めるためのアルミナフィラー等を混入したエポキシ系のものを使用し、これを第1ペアチップ10上にディスペンス塗布する。この際、第1ペアチップ10に接続されるポンディングワイヤー4のループ部分を覆う状態に塗布する。そして、150℃で1時間程度の加熱処理を行い、絶縁用樹脂5を硬化させその表面を平らにしておく。また、この絶縁用樹脂5の上には次の工程で第2ペアチップ20を固定するための固定用樹脂3を塗布しておく。

【0016】次に、図2(c)に示す第3工程として、第1ペアチップ10上に塗布した絶縁用樹脂5および固定用樹脂3を介して第2ペアチップ20を接続する処理を行う。つまり、第2工程で硬化させた絶縁用樹脂5を土台としてその上に塗布した固定用樹脂3上に第2ペアチップ20を搭載し、例えば150℃で1時間程度の加熱処理によって固定用樹脂3を硬化させる。そして、固定用樹脂3の硬化によって固定された第2ペアチップ20と回路基板2の回路とをポンディングワイヤー4によって接続する。これにより本発明の半導体装置1の製造が完了する。

【0017】このような製造方法においては、第1ペアチップ10および第2ペアチップ20と回路基板2の回路との電気的な接続をそれぞれポンディングワイヤー4によって行っているため、例えば他の種類のペアチップ（大きさや配線間隔、配線数等が異なるもの）を使用する場合には、電気的な接続に関してワイヤーボンディング装置でのプログラム設定変更（ポンディングワイヤー4の接続位置を指定する設定値の変更）のみで対応できることになる。

【0018】また、他の種類のペアチップを使用する場合、第1ペアチップ10および第2ペアチップ20の接続に関しても、絶縁用樹脂5や固定用樹脂3を塗布する装置のプログラム設定変更のみで対応できることになる。したがって、異なる品種の半導体装置1を製造する場合であっても即座に対応でき、品種変更にともなう初期費用をほとんどかけなくて済むというメリットがある。

【0019】なお、図2では第1ペアチップ10および第2ペアチップ20の2つのペアチップを重ねて成る半導体装置1の製造方法の例を示したが、図1(b)に示すような第3ペアチップ30を重ねて3段とする半導体装置1またこれ以上のペアチップを重ねる半導体装置の製造方法であっても同様である。この場合には、第1ペアチップ10上に絶縁用樹脂5および固定用樹脂3を介して第2ペアチップ20を接続したと同様に、第3ペアチップ30上に他のペアチップを接続すればよい。

(4)

5

【0020】図3は、本発明の半導体装置1の他の例を説明する模式断面図である。図3(a)および(b)では、第1ペアチップ10と第2ペアチップ20との大きさが異なる半導体装置1の例を各々示している。図3(a)に示す半導体装置1では、第1ペアチップ10の上にこれより小さい第2ペアチップ20が接続されており、図3(b)に示す半導体装置1では、第1ペアチップ10の上にこれより大きい第2ペアチップ20が接続されている。このように、重ね合わせるペアチップの大きさが異なっていてもよく、これによって種々のペアチップの組合せから成る半導体装置1を構成できることになる。

【0021】また、図3(c)に示す半導体装置1は、第1ペアチップ10上の絶縁用樹脂5の中央部分に窪みを設け、この中に第2ペアチップ20を埋め込む構成となっている。この半導体装置1を製造する場合には、先ず回路基板2上に固定用樹脂3を介して第1ペアチップを接続し、ボンディングワイヤー4による配線を施す。その後、第1ペアチップ10上に絶縁用樹脂5を塗布するが、この際、ボンディングワイヤー4の配線領域(図中S参照)内に窪みを設ける。

【0022】この窪みを設けるには、第1ペアチップ10に接続されるボンディングワイヤー4を覆う絶縁用樹脂5として粘性の高いものを使用しボンディングワイヤー4のループ部分を覆うようダム状に塗布した後、この内側に粘性の低い絶縁用樹脂5を薄く塗布する。そして、この窪み内に第2ペアチップ20を埋め込むように固定するための固定用樹脂3となるべく薄く塗布し、これを介して第2ペアチップ20を接続する。

【0023】このような半導体装置1では、絶縁用樹脂5に窪みを設けた分だけ他の例に比べて半導体装置1全体の高さhを低くすることが可能となる。つまり、半導体装置1の高密度化と放熱効率の向上さらには半導体装置1の薄型化を図る場合に有効なものとなる。

6

【0024】なお、本実施例に示したいすれの半導体装置1においても絶縁用樹脂5と固定用樹脂3とを異なるものとして説明したが、固定用樹脂3を絶縁用樹脂5と同じものとしてもよい。これによって、さらに半導体装置1の製造におけるコストダウンを図ることが可能となる。また、図3に示す他の例においても、ペアチップを2段にする場合のみならず3段またはそれ以上であっても同様である。

【0025】

【発明の効果】以上説明したように、本発明の半導体装置およびその製造方法によれば次のような効果がある。すなわち、複数のペアチップを重ねる半導体装置の場合であっても、各ペアチップの間に絶縁部材を介しているためペアチップの放熱効率を向上させることができるとなる。また、本発明の半導体装置を製造するにあたり、ボンディングワイヤーを用いて配線を行っているため、多品種少量生産に即座に対応することが可能となる。

【図面の簡単な説明】

【図1】本発明の半導体装置を説明する模式断面図で、(a)は2段の例、(b)は3段の例である。

【図2】本発明の半導体装置の製造方法を(a)～(c)の各工程順に説明する模式断面図である。

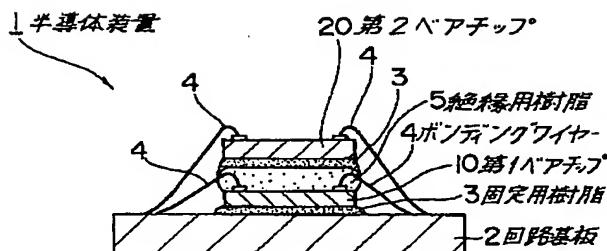
【図3】他の例を(a)～(c)に示す模式断面図である。

【符号の説明】

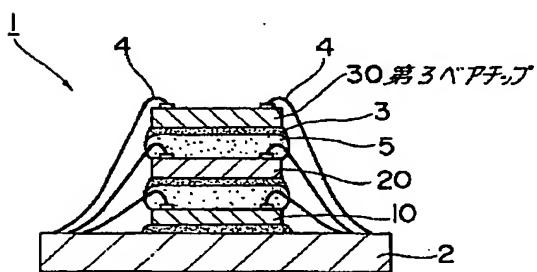
- 1 半導体装置
- 2 回路基板
- 3 固定用樹脂
- 4 ボンディングワイヤー
- 5 絶縁用樹脂
- 10 第1ペアチップ
- 20 第2ペアチップ
- 30 第3ペアチップ

(5)

【図1】



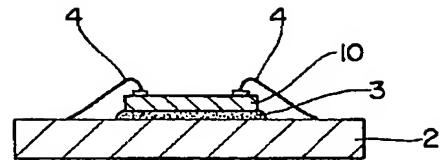
(a) 2段の例



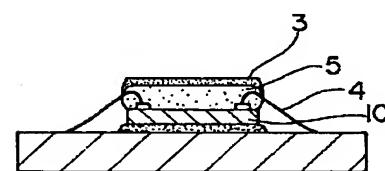
(b) 3段の例

本発明を説明する模式断面図

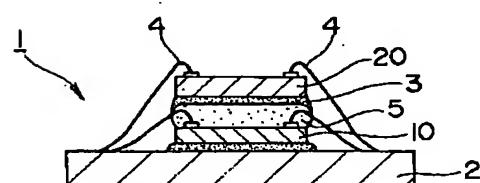
【図2】



(a) 第1工程



(b) 第2工程

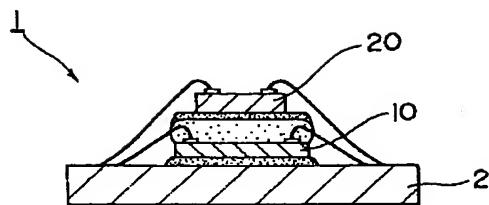


(c) 第3工程

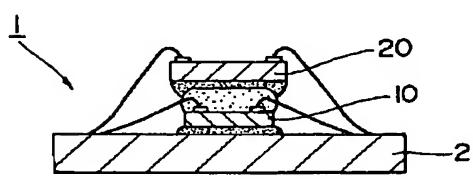
製造方法を順に説明する模式断面図

(6)

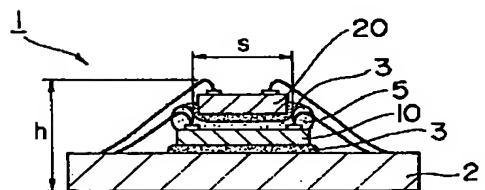
【図3】



(a) その1



(b) その2



(c) その3

他の例を説明する模式断面図